

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल फरवरी 2016
The Semiconductor Integrated Circuits Layout Design Journal February 2016

भारत सरकार,
अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री
Government of India
The Semiconductor Integrated Circuits Layout Design Registry

निर्गमन सं 57/2016

सोमवार

दिनांक 08/02/2016

Issue No.57/2016

Monday

DATE: 08/02/2016

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अधीन विज्ञापन
भारत सरकार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री, रजिस्ट्रार कार्यालय,
Published under Semiconductor Integrated Circuits Layout Design Act, 2000
by Government of India, Office of the Registrar, Semiconductor Integrated Circuits Layout Design
Registry,

संचार एवं सूचना प्रौद्योगिकी मंत्रालय
Ministry of Communications and Information Technology
इलेक्ट्रॉनिक्स एवं सूचना प्रौद्योगिकी विभाग
Department of Electronics & Information Technology
इलेक्ट्रॉनिक्स निकेतन
Electronics Niketan
6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003
6, CGO Complex, Lodhi Road, New Delhi-110003.
Tel: 011-24364761, Fax: 011-24364788

अनुक्रमणिका
INDEX

- क. आधिकारिक टिप्पणियां
A. Official Notes
- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry,
- ग. स्वीकृति के पश्चात विज्ञापित आवेदन
C. Applications advertised after acceptance
- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना
D. Notification of correction or amendment of application

प्रस्तावना

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री 1 मई, 2011 से सेमीकंडक्टर एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अंतर्गत चालू की गई है। अधिनियम के अंतर्गत प्रावधानों के अनुसार अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल का प्रकाशन अपेक्षित है। इस जनरल का प्रकाशन महीने के पहले कार्य दिवस पर मासिक आधार पर किया जाएगा। इस जनरल से संबंधित सभी पूछ-ताछ अथवा कोई भी अन्य अपेक्षित सूचना रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री को संबोधित की जानी चाहिए। किसी भी प्रकार के सुझावों तथा टिप्पणियों का स्वागत है।

(पी घटक)
रजिस्ट्रार

INTRODUCTION

The Semiconductor Integrated Circuits Layout-Design Registry has been made operational w.e.f. 1st May 2011 under the Semiconductor Integrated Circuits Layout-Design Act, 2000. In accordance with the provisions under the Act "The Semiconductor Integrated Circuits Layout-Design Journal" is required to be published. This Journal is being published on monthly basis on the 1st working day of the month. All the enquiries related to this Journal or any other information as required should be addressed to the Registrar, Semiconductor Integrated Circuits Layout-Design Registry. Any suggestions and comments are welcome.

(P. Ghatak)
REGISTRAR

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल फरवरी 2016
The Semiconductor Integrated Circuits Layout Design Journal February 2016

- क. आधिकारिक टिप्पणियां
A. Official Notes

रजिस्ट्री आम जनता के लिए प्रातः 10.00 बजे से सांयः 4.00 बजे तक हर कार्य दिवस पर खुलेगी ।

(पी घटक)
रजिस्ट्रार

The Registry is opened for public dealing from 10 am to 4 pm on all working days.

(P. Ghatak)
REGISTRAR

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल फरवरी 2016
The Semiconductor Integrated Circuits Layout Design Journal February 2016

- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry,

असाधारण भाग-II - खण्ड 3 - उप खण्ड (ii) के जरिए प्राधिकार सं. 219 नई दिल्ली, सोमवार, मार्च 1, 2004/फाल्गुन 11, 1925, द्वारा प्रकाशित अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री (एस. आई. सी. एल. डी. आर.) का मुख्य कार्यालय, सूचना प्रौद्योगिकी विभाग, इलेक्ट्रॉनिक्स निकेतन, 6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003 में स्थित है। इसकी राज्यक्षेत्रीय परिसीमाएं जिसके भीतर अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री का कार्यालय अपने कृत्य कर सकेगा, सम्पूर्ण भारत पर है।

(पी घटक)
रजिस्ट्रार

Vide Extraordinary Gazette Notification Part II-Section 3-Sub-section (ii) Published by authority No. 219 New Delhi, Monday, March 1, 2004 / Phalguna 11, 1925, the Semiconductor Integrated Circuits Layout-Design Registry (SICLDR) has its head office located in the Department of Information Technology, 6, CGO Complex, Lodhi Road, New Delhi. The territorial limits within which such office of the Semiconductor Integrated Circuits Layout-Design Registry may exercise its functions shall be the whole of India.

(P. Ghatak)
REGISTRAR

- ग. स्वीकृति के पश्चात विज्ञापित आवेदन – एक ।
C. Applications advertised after acceptance – **One.**

Application Received for Registration under Semiconductor Integrated Circuits Layout Design Act 2000

Semiconductor Integrated Circuits Layout Design (SICLD) Registry has received an application for registration of 50-60GHz sub harmonic IQ Mixer, Application no: 2(1)/2016 in the name of M/s Indian Space Research Organization Antariksh Bhavan, New BEL Road, Bangalore, 560231, India. Details of the applications are as below:

1. **Date of Receipt for registration of layout design:** 11/01/2016.
2. **Brief Description of the layout design:** The mixer IC function as an I-Q/Single Side Band Mixer working for both frequency up-conversion as well as down-conversion from 50-60 GHz. The Mixer is designed in Gallium Arsenide (GaAs) Monolithic Microwave Integrated Circuit (MMIC) Technology. Not requiring any DC supply, the Mixer is self biased and needs +10 dBm of LO input for optimum performance. Tested maximum conversion loss is 14 dB. Circuit size : 3.9*2.0*0.10 mm
3. **Whether the layout design has been commercially exploited:** No
4. **The Address of the office of the registry where the application is filed:** SICLD Registry, Electronics Niketan, 6 CGO Complex, Lodhi Road, New Delhi-110003.

Anyone willing to oppose the filing of the application by M/s Indian Space Research Organization Antariksh Bhavan, New BEL Road, Bangalore, may kindly send their application to the SICLD Registry Electronics Niketan, 6 CGO Complex, Lodhi Road, New Delhi-110003.

A notice of opposition to the registration of a layout design under sub section (1) of section 11 shall be given in triplicate on Form LD-2 accompanied by prescribed fee within three months from the date of advertisement of the application for registration in the journal (www.sicldr.gov.in). The notice shall include a statement of the grounds on which the opponent objects to the registration.

To obtain details how to apply, please visit website: www.sicldr.gov.in

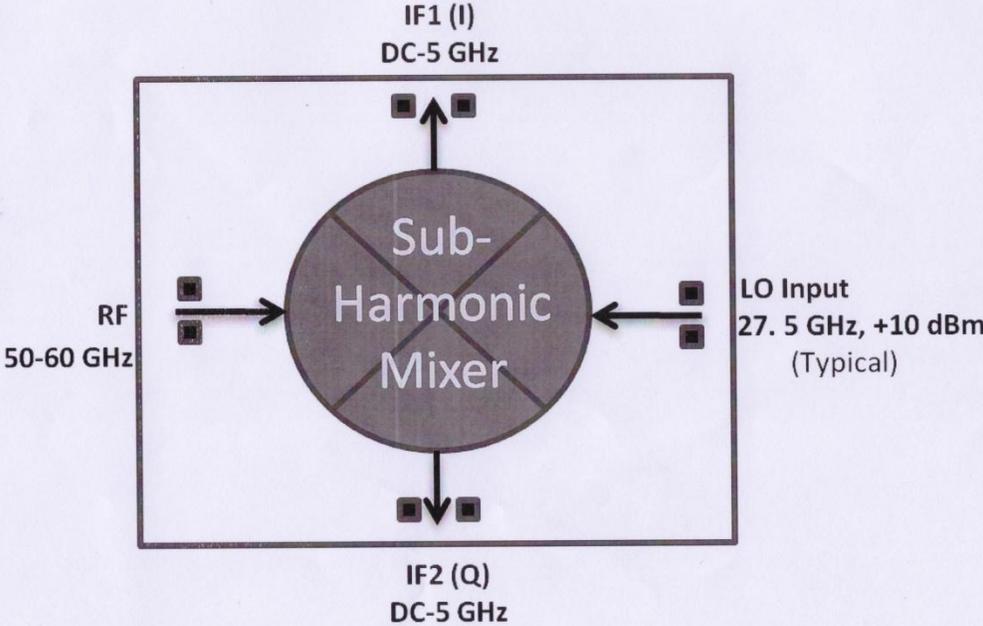
Duly filled Application Form may please be sent to:

Registrar

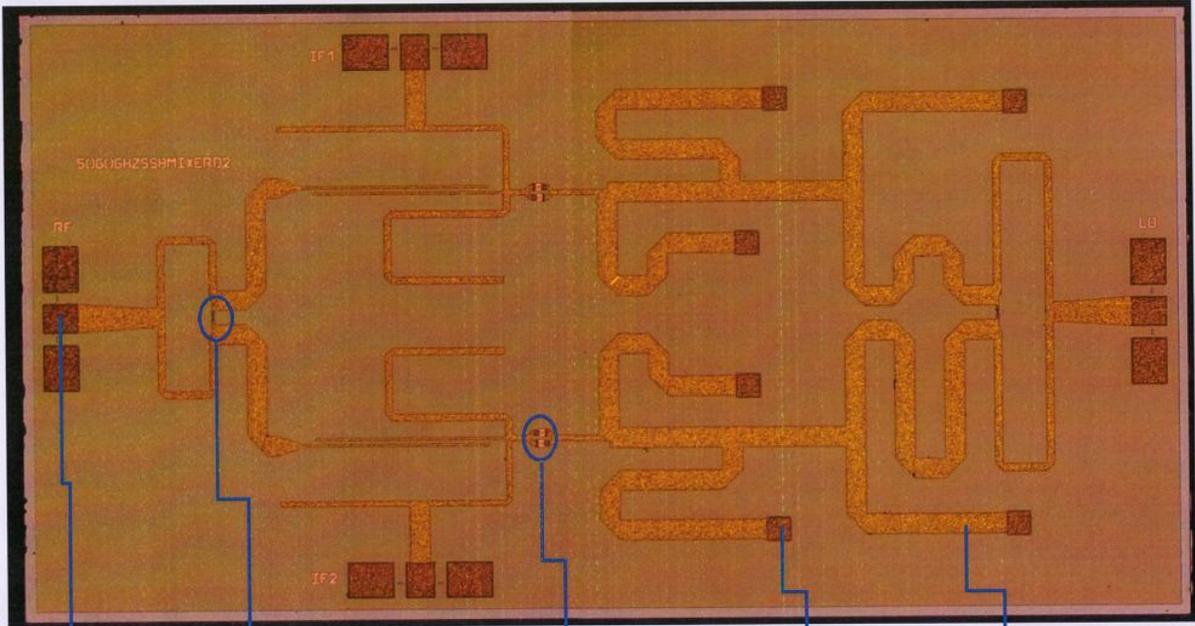
Semiconductor Integrated Circuits Layout Design Registry
Department of Electronics and Information Technology
Ministry of Communications and Information Technology (Government of India)
Electronics Niketan, 6, CGO Complex,
Lodhi Road, New Delhi: 110003

50-60 GHz Sub-harmonic IQ Mixer

Functional Schematic:



The Layout Design:



Input-Output
PADS

Resistor

Transistor/Diodes

Ground Via

Metal Tracks
/ Microstriplines

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल फरवरी 2016
The Semiconductor Integrated Circuits Layout Design Journal February 2016

- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना - शून्य
D. Notification of correction or amendment of application - Nil