

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल अप्रैल 2012  
The Semiconductor Integrated Circuits Layout Design Journal April 2012

---

भारत सरकार,  
अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री  
Government of India  
The Semiconductor Integrated Circuits Layout Design Registry

---

निर्गमन सं 11/2012  
Issue No. 11/2012

सोमवार  
Monday

दिनांक 02/04/2012  
DATE: 02/04/2012

---

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अधीन विज्ञापन  
भारत सरकार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री, रजिस्ट्रार कार्यालय,  
Published under Semiconductor Integrated Circuits Layout Design Act, 2000  
by Government of India, Office of the Registrar, Semiconductor Integrated Circuits Layout Design  
Registry,  
संचार और सूचना प्रौद्योगिकी मंत्रालय  
Ministry of Communications and Information Technology  
सूचना प्रौद्योगिकी विभाग  
Department of Information Technology  
इलेक्ट्रॉनिक्स निकेतन  
Electronics Niketan  
6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003  
6, CGO Complex, Lodi Road, New Delhi-110003.  
Tel:011-24364773, Fax: 011-24365436

अनुक्रमणिका  
INDEX

- क. आधिकारिक टिप्पणियां  
A. Official Notes
- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र  
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry,
- ग. स्वीकृति के पश्चात विज्ञापित आवेदन  
C. Applications advertised after acceptance
- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना  
D. Notification of correction or amendment of application

## प्रस्तावना

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री 1 मई, 2011 से सेमीकंडक्टर एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अंतर्गत चालू की गई है। अधिनियम के अंतर्गत प्रावधानों के अनुसार अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल का प्रकाशन अपेक्षित है। इस जनरल का प्रकाशन महीने के पहले कार्य दिवस पर मासिक आधार पर किया जाएगा। इस जनरल से संबंधित सभी पूछ-ताछ अथवा कोई भी अन्य अपेक्षित सूचना रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री को संबोधित की जानी चाहिए। किसी भी प्रकार के सुझावों तथा टिप्पणियों का स्वागत है।

(यशवीर सिँह तवँर)

रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री

## INTRODUCTION

The Semiconductor Integrated Circuits Layout-Design Registry has been made operational w.e.f. 1<sup>st</sup> May 2011 under the Semiconductor Integrated Circuits Layout-Design Act, 2000. In accordance with the provisions under the Act "The Semiconductor Integrated Circuits Layout-Design Journal" is required to be published. This Journal is being published on monthly basis on the 1<sup>st</sup> working day of the month. All the enquiries related to this Journal or any other information as required should be addressed to the Registrar, Semiconductor Integrated Circuits Layout-Design Registry. Any suggestions and comments are welcome.

(Yashvir Singh Tanwar)

REGISTRAR, SEMICONDUCTOR INTEGRATED CIRCUITS LAYOUT-DESIGN REGISTRY

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल अप्रैल 2012  
The Semiconductor Integrated Circuits Layout Design Journal April 2012

---

- क. आधिकारिक टिप्पणियां  
A. Official Notes

पंजीकरण एवं अन्य संबंधित मामलों के लिए आवेदन प्राप्त करने हेतु रजिस्ट्री सभी कार्य दिवसों में प्रातः 10.00 बजे से सांयः 4.00 बजे तक खुली रहती है।

(यशवीर सिँह तवँर)  
रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री

The Registry is opened for receiving application for registration and other related matters from 10 am to 4 pm on all working days.

(Yashvir Singh Tanwar)  
REGISTRAR, SEMICONDUCTOR INTEGRATED CIRCUITS LAYOUT-DESIGN REGISTRY

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल अप्रैल 2012  
The Semiconductor Integrated Circuits Layout Design Journal April 2012

---

- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र  
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry,

असाधारण भाग-11 - खण्ड 3 - उप खण्ड (ii)के जरिए प्राधिकार सं. 219 नई दिल्ली, सोमवार, मार्च 1, 2004/फाल्गुन 11, 1925, द्वारा प्रकाशित अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री (एस. आई. सी. एल. डी. आर.)का मुख्य कार्यालय, सूचना प्रौद्योगिकी विभाग, इलेक्ट्रॉनिक्स निकेतन, 6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003 में स्थित है। इसकी राज्यक्षेत्रीय परिसीमाएं जिसके भीतर अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री का कार्यालय अपने कृत्य कर सकेगा, सम्पूर्ण भारत पर है।

(यशवीर सिंह तवॅर)  
रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री

Vide Extraordinary Gazette Notification Part II-Section 3-Sub-section (ii) Published by authority No. 219 New Delhi, Monday, March 1, 2004 / Phalguna 11, 1925, the Semiconductor Integrated Circuits Layout-Design Registry (SICLDR) has its head office located in the Department of Information Technology, 6, CGO Complex, Lodhi Road, New Delhi. The territorial limits within which such office of the Semiconductor Integrated Circuits Layout-Design Registry may exercise its functions shall be the whole of India.

(Yashvir Singh Tanwar)  
REGISTRAR, SEMICONDUCTOR INTEGRATED CIRCUITS LAYOUT-DESIGN REGISTRY

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल अप्रैल 2012  
The Semiconductor Integrated Circuits Layout Design Journal April 2012

---

- ग. स्वीकृति के पश्चात विज्ञापित आवेदन – कोई आवेदन प्राप्त नहीं हुआ ।  
C. Applications advertised after acceptance – **no application received.**

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल अप्रैल 2012  
The Semiconductor Integrated Circuits Layout Design Journal April 2012

---

- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना - शून्य  
D. Notification of correction or amendment of application - Nil